

ADQ12DC 数据手册



ADQ12DC 是一款高性能 12 位的数据采集板，为高级测量应用提供完整和多样化的解决方案。配套的固件和软件非常丰富，集成简单。其功能包括探测器测量、实时信号处理、数据仿真等。主要特点如下：

- 灵活的通道数选择和多板同步
- 高级模拟前端，支持大输入带宽
- 为实时 DSP 开放的 FPGA，独立的应用相关固件
- 高达 3.2 GByte/s 的主机 PC 数据传输速率
- 多种便于系统集成应用相关固件



Copyright CERN

ADQ12DC 数据手册

特点

- 2 或 4 个模拟通道（可选）
- 每通道 1 GSPS 采样率
- 12 位垂直分辨率
- 直流耦合，700MHz 模拟带宽
- 可编程直流偏置
- 内部和外部时钟参考
- 内部和外部时钟发生器
- 时钟参考输出
- 内部和外部触发
- 触发输入/输出接口
- 多通道同步
- 实时操作时间戳
- 2 GByte 数据存储
- 与 PC 高达 3.2 Gbytes/s 的数据传输速率
- 数据接口 PCIe Gen2 x8

ADQ12 开发工具

- 为定制应用的开放 FPGA
- 实时信号处理

雷达

- 雷达
- 激光雷达
- 无线通信
- 高速数据记录
- 测量和测试
- 超声波测距
- 飞行时间科研仪器
- 扫频 OCT
- 汤姆逊散射

优势

- 用于紧凑系统集成的快速 PCIe Gen2 x8 接口。
- 支持多种探测器的模拟前端，允许重用和流水线低成本高效率维护。
- 可定制的实时 FPGA 处理，简化系统设计。
- SP Devices 提供快速集成的设计服务，减少投向市场的时间。

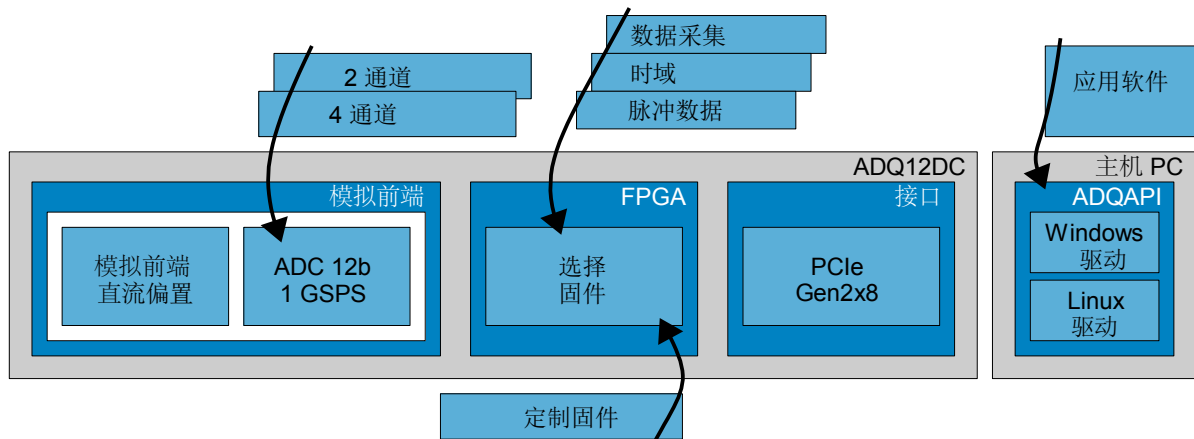
针对完整信号链的灵活的数字化仪解决方案

ADQ12DC 支持从探测器到应用集成的完整的信号链。

宽带高动态范围的模拟前端支持多种高级探测器。

当产生的数据量很大时，信号的处理速度是关键。因此，ADQ12DC 包含多层高速信号处理；开放的

FPGA 和特定应用的固件使用户可容易地集成实时算法并简化系统设计；用于应用集成的软件开发工具支持 Windows 和 Linux 操作系统。高速 Gen2 x8 接口使固件和软件之间有效地通信。



1 选型指导

ADQ12DC 有多个选项。本节将帮助您选择最合适的选项。请按照以下步骤选择最适合您的应用的产品。每个选项将在下文中详细介绍。下面的表格说明了可用的组合。

1. 选择通道数：-2C 或 -4C。
2. 主机接口形状参数：单槽 PCIe; -SSPCIE。
3. 选择一个或几个固件：-FWDAQ, -FWATD, -FWPD。
4. ADQ12 开发工具，用于开发定制的 FPGA 实时信号处理。

选项	ADQ12DC -2C	ADQ12DC -4C
关键参数 (出厂已配置)		
通道数	2	4
固件 (支持部分升级)		
ADQ12 开发工具 ¹	✓	✓
采集 ²	-FWDAQ	✓
高级时域	-FWATD	✓
脉冲数据	-FWPD	✓
主机接口形状参数 (出厂已配置)		
PCIe	-SSPCIE	✓

1. The ADQ12 开发工具支持 -FWDAQ 和 -FWPD。
2. 包含在 ADQ12DC 中。

注释: 固件选项 -FWATD 和 -FWPD 是替换标准-FWDAQ 固件的选项（不是额外增加）。所以，-FWDAQ 的例子和文档中的某些函数可能并不适用。当某个固件加载后，只有为此固件专门设计的 API 函数和例子可工作。请注意对于任何器件，您都可以加载标准-FWDAQ 固件，把它用作标准采集设备。

注释: 改变固件需要重新烧写板上的 Flash 存储器并重新启动数字化仪。这种重启需要冷启动，因为 PCIe 连接必须重新被主机系统的 BIOS 初始化。

2 技术数据

除非另外说明，所有数据都为典型值。

表 1: 通用参数

参数	ADQ12DC-2C	ADQ12DC-4C
关键参数		
通道数	2	4
每通道采样率 [GSPS]		1
分辨率 [bits]		12
数据存储 ¹ [GByte]		2
电源		
电源电压 [V]		12
功耗 [W]	39	48

1. 数据存储由数据（每个采样 2 个字节）和记录头共用。存储器由所有激活的通道共用。

表 2: 模拟输入

参数	ADQ12DC-2C	ADQ12DC-4C
模拟输入		
耦合		DC
输入阻抗 [Ω]		50
输入范围 [V _{pp}]		0.5
低于-3 dB 带宽 [Hz]		DC
高于-1 dB 带宽 [MHz]		500
高于-3 dB 带宽 [MHz]		700
接口		SMA
可变直流偏置范围 ¹ [V]		± 0.25

1. 由软件设置。

表 3: 71 MHz, -1dBFS 单个正弦波输入的动态性能

参数	ADQ12DC-2C	ADQ12DC-4C
过压保护使能时的模拟性能		
SNR [dB]		57
SNDR [dB]		57
SFDR [dBc]		70
ENOB [bits]		9.2

表 4: 时钟

参数		ADQ12DC-2C	ADQ12DC-4C
内部时钟参考			
频率	[MHz]	10	
准确度	[ppm]	± 3 ± 1/year	
外部时钟参考输入			
频率 (min – max)	[MHz]	10 MHz ± 5 ppm	
信号电平 (min – max)	[Vpp]	0.5 – 3.3	
AC 阻抗	[Ω]	50	
AC 阻抗 (高 ¹)	[Ω]	200	
DC 阻抗	[Ω]	10 k	
接口		SMA	
时钟参考输出			
频率	[MHz]	由选择的参考时钟决定	
信号电平	[Vpp]	1.2 (into 50 Ω load)	
AC 阻抗	[Ω]	50	
DC 阻抗	[Ω]	10 k	
占空比		50% ± 5%	
接口		SMA	
外部时钟源			
频率	[GHz]	1	
信号电平输入 50 Ω (min – max)	[Vpp]	0.5 – 3.3	

1. 软件可配置成高阻抗，用于大扇出的情况。

表 5: 触发/ GPIO 前面板接口

参数		ADQ12DC-2C	ADQ12DC-4C
外部触发用于输入			
触发频率 (max)	[MHz]	1	
信号电平 (min – max)	[V]	–0.5 to 3.3	
阈值 ¹	[V]	0 to 3	
灵敏度	[mVpp]	200	
时间精度	[ps]	125	
额外抖动 ²	[ps]	25	
DC 阻抗	[Ω]	50	
DC 阻抗(高 ³)	[Ω]	500	
GPI 数据率	[Mbit/s]	125	
接口		SMA	
外部触发用于输出			
PRF (max)	[MHz]	125	
信号输出低电平最大值	[V]	0.1	
信号输出高电平最小值	[V]	1.2 (进入 50 Ω 负载)	
DC 阻抗	[Ω]	50	
GPO 数据率	[Mbit/s]	125	
接口		与触发输入共享	

1. 软件可编程电平。

2. 触发与采样同步，与子采样精度相关。额外抖动是 ADQ12DC 内部附加给触发信号的抖动。

3. 软件可配置成高阻抗，用于大扇出的情况。

表 6: 同步 / GPIO 接口

参数	ADQ12DC-2C	ADQ12DC-4C
外部同步输入		
PRF (max)	[MHz]	1
低电平输入电压最大值	[V]	0.8
高电平输入电压最小值	[V]	2
DC 阻抗	[Ω]	50
DC 阻抗 (高 ¹)	[Ω]	500
GPI 数据率	[Mbit/s]	125
接口 (-SSPCIE)	MCX (PC 机箱里的 PCB 上)	
外部同步输出		
PRF (max)	[MHz]	>1
低电平输出电压最大值	[V]	0.1
高电平输出电压最小值	[V]	1.2 (into 50 Ω load)
DC 阻抗	[Ω]	50
GPO 数据率	[MHz]	125
接口 (-SSPCIE)	MCX (PC 机箱里的 PCB 上)	

1. 软件可配置成高阻抗，用于大扇出的情况。

表 7: 环境

参数	ADQ12DC-SSPCIE
数据率	
通信标准	PCIe 2 代, 8 路
持续数据率 ¹	[MBytes/s] 3200
机械	
重量	[g] 390
机械总线宽度	[lanes] 16 ²
板宽	[slot] 1
板长	[mm] 236
电气	
电源	6-pin ATX 电源
电气总线宽度 (PCIe Gen2 x8)	[路] 8
温度范围	
工作	[°C] 0 to 45 ³
兼容	
CE	✓
RoHS2	✓
FCC	根据 CFR 47, part 15, paragraph 15.103(c)免除

1. 依赖主计算机的系统能力。
2. 需使用宽连接器支持板子的重量。
3. 这是 ADQ12DC 的风扇吸入的的空气的温度。

表 8: 固件选项:功能概述

参数	-FWDAQ	-FWATD	-FWPD	注释
信号增强 IP				
DBS	✓	✓	✓	数字基线稳定
触发模式				
软件触发	✓	✓		
外部触发	✓	✓	✓	
通用电平触发	✓	✓		所有通道由所选的一个通道触发
独立电平触发			✓	每个通道独立触发
内部触发	✓	✓		
触发输出				
内部触发	✓	✓	✓	
触发事件	✓	✓	✓	
时钟				
所有时钟模式	✓	✓	✓	
采样跳跃	✓	✓		
数据采集模式				
连续流	✓			
带头的触发流	✓	✓	✓	
不带头的触发流	✓			
多记录	✓			

表 9: -FWDAQ 的数据采集参数

参数	ADQ12DC-2C	ADQ12DC-4C
触发流¹		
重新准备时间 [ns]		8
预触发最大值 [samples]		16 ki
预触发步长 [samples]		4
触发延迟最大值 [samples]		$2^{32} - 1$
触发延迟步长 [samples]		4
记录长度最大值 [samples]		2 Gi
记录长度最小值 [samples]		8
记录长度步长 [samples]		1
多记录¹		
重新准备时间 [ns]		1000
预触发最大值 [samples]		记录长度
预触发步长 [samples]		4
触发延迟最大值 [samples]		$2^{32} - 1$
触发延迟步长 [samples]		4
记录长度最大值 [samples]	500 Mi	250 Mi
记录长度最小值 [samples]		32
记录长度步长 [samples]		4
连续流		
数据率	PC 连接速度限制	

1. 当预触发长度大于 16 kiSamples 时, 使用多记录参数。如果预触发小于 16 kiSamples, 使用触发流参数。

表 10: 软件支持 ¹

参数	ADQ12DC-2C	ADQ12DC-4C
操作系统 ²		
Windows 7, 32-bit 和 64-bit		✓
Windows 8 / 8.1, 32-bit 和 64-bit		✓
Windows 10, 32-bit 和 64-bit		✓
Linux		✓
应用集成		
ADCaptureLab ³	采集和分析	
MATLAB ⁴	API, 例子	
C/C++	API, 例子	
.Net (C#, Visual Basic)	API, 例子	
Python	例子	
LabVIEW ⁵	底层函数和例子	

1. 只保证使用 C/C++ 编程语言的例子的完整性能。
2. 参考“15-1494 操作系统支持”。
3. 仅限 Windows 和固件选项-FWDAQ。用于基本测量，有限的函数支持。
4. 仅限 Windows 和固件选项-FWDAQ。
5. 仅限 Windows 和固件选项-FWDAQ。

3 极限最大值

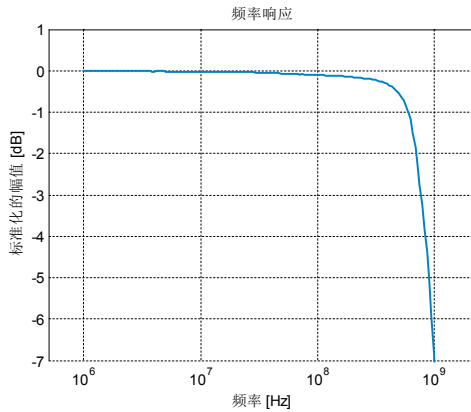
在超过这些极限值的条件下使用产品，将减少产品的寿命或造成永久性的损坏。ADQ12DC 有内置的风扇以冷却器件。如果发生过热的情况，内置的温度监控单元会暂时关闭部分器件，防止 ADQ12DC 过热损坏。

SMD 连接器的预期寿命是 500 次操作。如需频繁插拔线缆，建议使用连接器保护器。

表 11: 极限最大值

参数	ADQ12DC-2C	ADQ12DC-4C
带过压保护的模拟输入		
信号对地电平 [V]	±4	
外部时钟参考		
信号电平 AC [Vpp]	5	
信号电平 DC [V]	± 5	
外部触发输入		
信号对地电平 (min) [V]	-2.3	
信号对地电平 (max) [V]	+5	
外部同步输入		
信号对地电平(min) [V]	-0.5	
信号对地电平(max) [V]	+3.8	
电源		
对地电压 (min) [V]	-0.4	
对地电压(max) [V]	14	
温度		
工作 (min) [°C]	0	
工作(max) [°C]	45	
标准 GPIO		
触发输入	参考触发参数 表 5	
同步	参考同步参数 表 6	

4 频率响应



带宽 (-3 dB)	700 MHz
1 dB 平坦度	500 MHz

图 1: ADQ12DC-4C 和 ADQ12DC-2C.

5 频谱性能

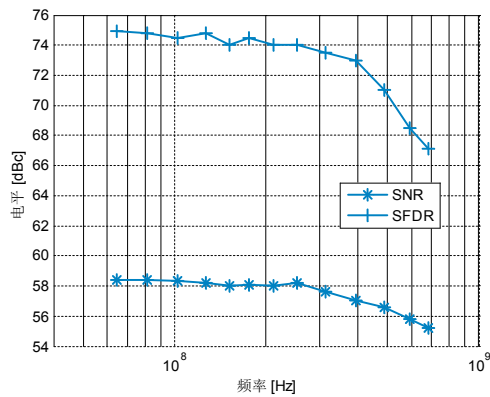


图 2: ADQ12DC-4C 和 ADQ12DC-2C.

6 频域

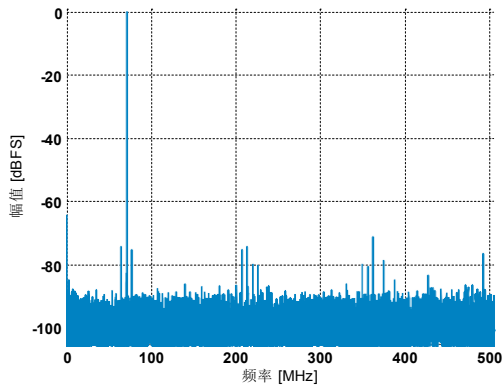


图 3: ADQ12DC-4C: 71 MHz.

7 集成 ADQ12DC

图 4 说明使用 ADQ12DC 进行系统整合的关键部分。

7.1 检测模拟信号

大动态范围、高带宽的模拟前端 (AFE) 支持最先进的探测器。直流耦合的前端灵敏度高，可简化接口设计。

7.2 时序和同步

时钟管理和触发器支持与系统的基础组件连接。ADQ12DC 可作为主设备，为整个系统产生时序，从而省去额外的时序卡。它也可以接收其他设备发出的触发信号和时钟。同步和 GPIO 信号支持高级序列。

ADQ12DC 和其他类型的设备之间可能需要同步。时钟和触发都支持同步。

在多通道的系统中，需要同步多块 ADQ12DC。应用笔记“15-1583 ADQ14 多单元同步”中描述的解决方案也适用于 ADQ12DC，说明了在大规模系统中如何同步多块 ADQ12DC 单元。

7.3 实时信号处理

FPGA 的数据采集引擎支持多种采集数据的方法并传送到主机 PC。从 ADC 输出的数据速率非常快，因此某些应用的部分最好集成在 FPGA 里以降低主机电脑 CPU 的负担。我们提供多种应用相关的固件选项以有效地进行信号处理。

另外，FPGA 通过 ADQ12 开发工具开放给用户，用于定制算法的集成。

7.4 系统集成

PC 与主机 PC 的接口是系统集成的一个重要参数。ADQ12DC 提供一个高速 PCIe 接口以提供最优的解决方案。机械特性使 ADQ12DC 便于集成进目标 PC 系统。

7.5 构建应用

开放软件开发工具 (SDK) 是一个包含驱动和 API (ADQAPI) 的软件包，用于将 ADQ12DC 集成进目标应用。我们提供大量的例子和应用笔记，以简化集成流程和缩短投向市场的时间。

将应用划分成主机 PC 内上层的分析软件和开放 FPGA 内底层的实时数据分析，使得高性能的应用可以运行在低成本的 PC 解决方案上。

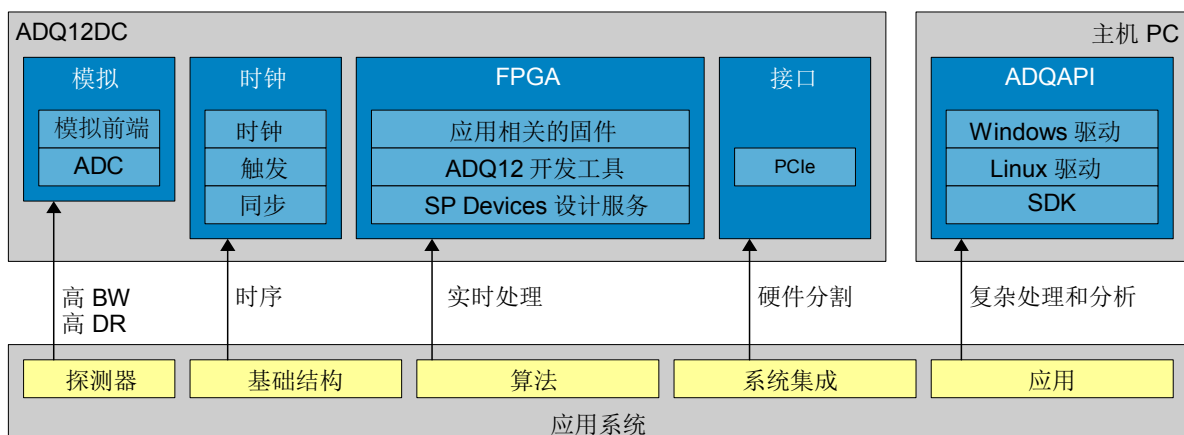


图 4: 将 ADQ12DC 集成进系统。

8 软件工具

8.1 操作系统

软件包包括支持 Windows 的常用版本和多个 Linux 发布版本的驱动。

8.2 软件开发工具

使用软件开发工具(SDK), ADQ12DC 数字化仪可非常容易地集成进应用。SDK 随 ADQ12DC 免费提供。SDK 包括多个平台的编程例子和参考设计。所有函数的详细描述请参考文档“14-1351 ADQAPI 参考指南”。

请注意, 数据速率的性能依赖于选择的编程环境。使用 C/C++接口的性能最佳。SDK 支持大量数据的快速定制处理和数字化仪的实时控制。

8.3 用于-FWDAQ 的 ADCaptureLab GUI

ADCaptureLab 提供了快速简便的控制数字化仪的方式。这个工具提供了时域和频域的分析, 参考图 5。数据可被存储为不同的格式用于离线分析。配合 ADCaptureLab, ADQ12DC 可被用作一台台式示波器。

注意: ADCaptureLab GUI 只支持 ADQ12DC 的一部分功能。若需使用全部功能, 请使用 SDK。

ADCaptureLab 仅适用于 Windows 平台和固件选项-FWDAQ。

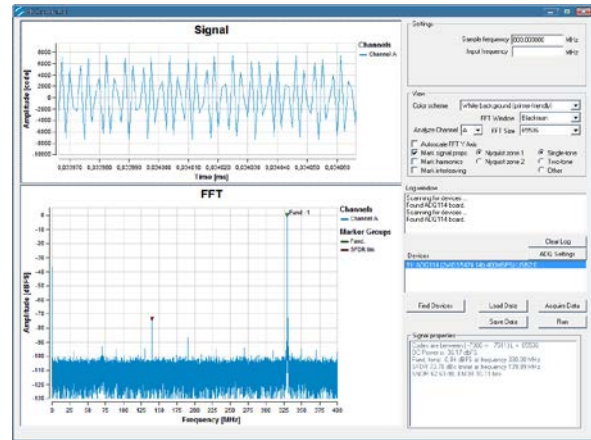


图 5: ADCaptureLab 的典型屏幕截图

9 框图

ADQ12DC-4C 的详细框图如图 6 所示。下面的章节将详细描述 ADQ12DC 的各部分。更多关于如何使用 ADQ12DC 的信息, 参考“18- 2199 ADQ12DC 使用手册”。

本篇数据手册仅描述标准数据采集团件包的相关功能。其他可选的应用相关固件包的功能, 请参考相关的数据手册(14-1397 和 15-1455)。

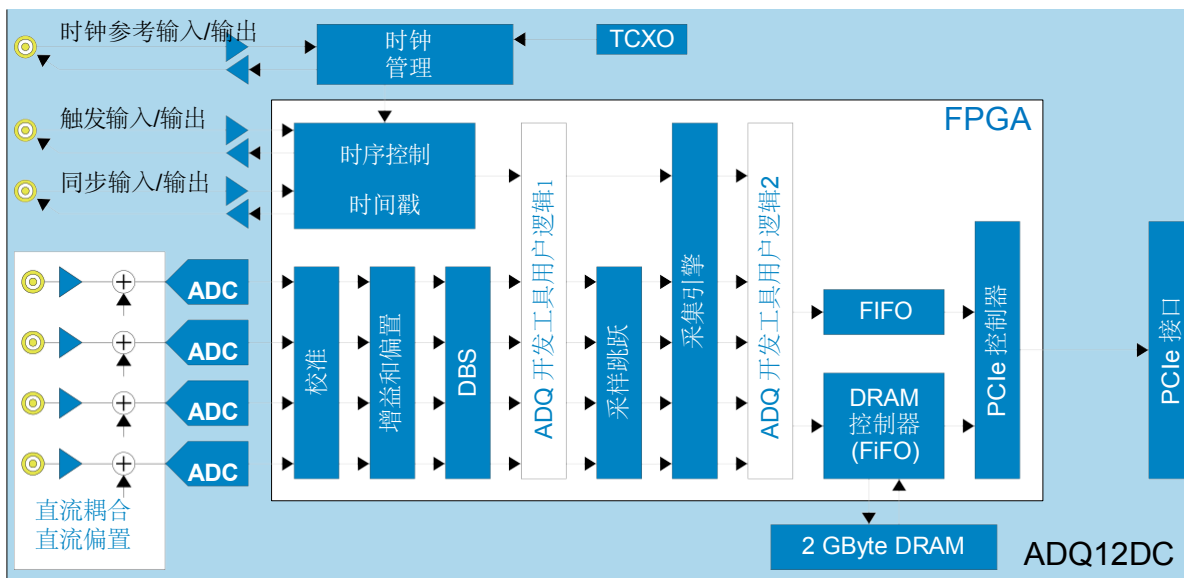
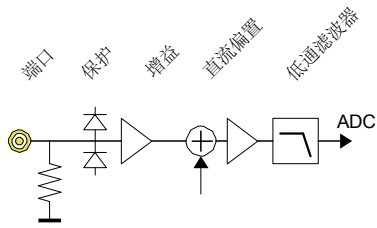


图 6: ADQ12DC-4C 的框图

10 模拟前端选项

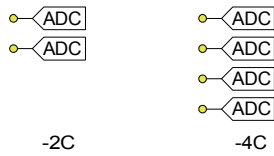


直流耦合

用于脉冲数据测量。

直流耦合模拟前端包含过压保护和软件可编程直流偏置。过压保护对输入是高压探测器的脉冲数据系统非常重要，可在意外的放电情况下减少器件的损坏。

直流耦合模拟前端还包含一个限制带宽的 500MHz 低通滤波器，用来抑制噪声。

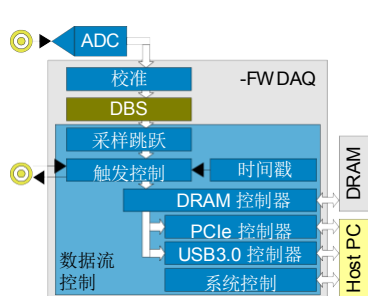


通道数(-2C, -4C)

通道数选项用于满足不同测量应用的需要。

根据不同的应用，ADQ12DC 有 2 或 4 通道的选项。最大通道数是出厂时配置的。用户可通过软件接口，选择使用部分或全部已配置的通道数。

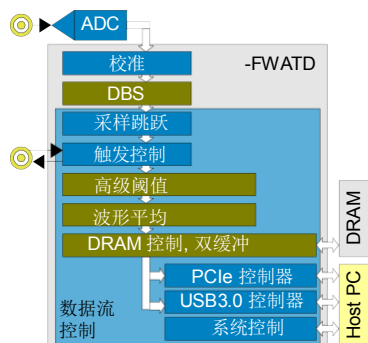
11 固件选项



数据采集固件(-FWDAQ)

用于通用高速数据记录。

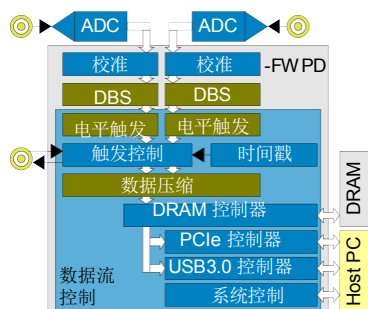
数据采集固件 -FWDAQ 是 ADQ12DC 默认包含的固件。其支持的数据采集模式有连续多记录模式、触发流模式和连续流模式，请参考第 12 节。其支持的触发模式有外部、内部、软件和电平触发，支持内部和外部时钟参考，请参考第 14 节和 第 15 节。



高级时域 (-FWATD)

用于同步重复事件的时域分析。

-FWATD 选项包含非线性噪声辨别的高级阈值算法。它还包含用于实时重复事件累计的波形平均(WFA)，对提高信噪比有很大的作用。WFA 支持最大 1 MSamples 长度的波形。WFA 也可以分割为几个总长度最大为 1MSamples 的集合，以简化读出操作。稳定的基线由 DSB 产生，参考第 19 节。

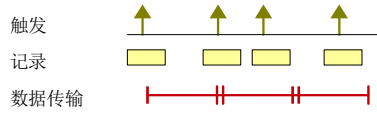


脉冲数据 (-FWPD)

用于捕捉随机事件。

-FWPD 选项可以使每个通道独立触发，以捕捉随机事件。触发电平是用户定义的电平或自适应阈值的滤波数据。为了支持随机事件长度，记录的长度是动态的。零抑制的数据压缩可大大节省硬盘空间。由于使用了 DRAM，突发事件可先经过缓冲，再传递数据至主机 PC，参考第 12 节。稳定的基线由 DSB 产生，参考第 19 节。

12 数据记录

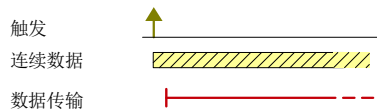


触发流

使用触发流以达到最大吞吐量。

每次触发将捕捉一个记录包（一个连续的数据集）。记录包被缓冲在 DRAM 里（类似 FIFO），然后被传送到主机 PC。2Gbyte 的 FIFO 允许高速率的触发，也保证高速传输数据至 PC 的可靠性。

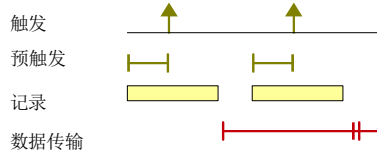
每个记录包都带有一个记录头，包含用于后期数据分析的时间戳和标识符。



连续流

长事件的连续记录。

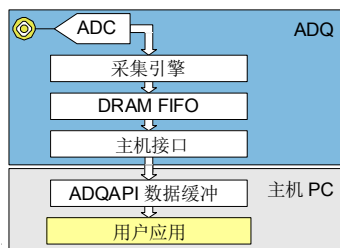
由触发事件激活记录过程，并连续记录直到被用户中断。连续流模式会产生大量的数据，通常需和 FPGA 的数据缩减算法配合使用，例如通道遮罩、跳跃采样或使用 ADQ12 开发工具实现的定制算法。



多记录

使能特别长的预触发。

这种模式和触发流模式类似，不同之处在于允许非常长的预触发，最长可以是整个记录长度，允许追踪和分析事件的原因。多记录数据采集的参数请参考表 9。当预触发长度小于 16 KiSamples 时，使用触发流参数。当预触发长度大于 16 KiSamples 时，使用多记录参数。

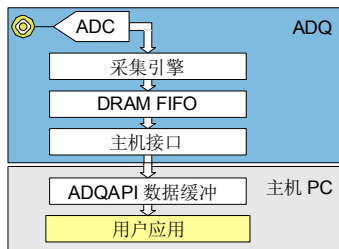


数据 FIFO

保证数据传输的可靠性。

数字化仪有 2 Gbytes 的板上 DRAM，类似一个大 FIFO。这个 FIFO 保证长时间、高速率操作的稳定性，也允许高频触发。

13 数据传输

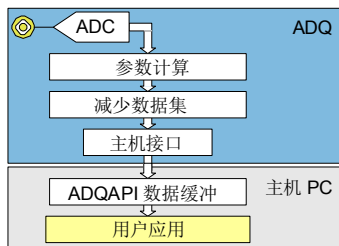


采用 -FWDAQ 的数据传输

用于给高性能主机 PC 提供最大吞吐量。

ADQ12DC 的硬件和软件支持为主机 PC 提供高吞吐量。主机 PC 的接口是 PCIe 2 代 x8，最高支持 3.2 GBytes/s。API 支持有效的多线程数据缓冲操作（请注意只有一个线程可与 ADQ12DC 的硬件通信）。我们提供快速集成到应用的实例代码。

这保证了与高性能主机 PC 的高效数据传输，高级的应用相关的计算可在 PC 上执行。



采用 -FWATD 和 -FWPD 的实时处理

实时处理以优化数据集。

脉冲检测固件-FWPD 和平均固件-FWATD 从原始数据流中实时处理计算出描述性参数。通过传递这些参数而不是所有的原始数据，数据量被大大减少。用户可使用 ADQ12 开发工具进一步增强并延伸这种计算关键参数的功能。

因为 FPGA 做了实时处理的工作，整个系统可围绕一个紧凑的主机 PC 来设计。

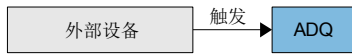
14 触发模块



软件触发

用户控制的触发。

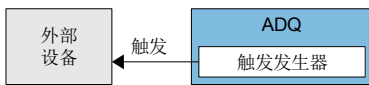
软件触发由用户的应用软件激活，用于类似示波器的应用和看门狗功能。



外部触发

与外部设备同步采集。

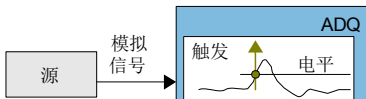
外部触发是从另一个单元发出的激活采集的信号。外部触发可在前面板上找到。



内部触发

内部产生的信号，用于触发其他器件。

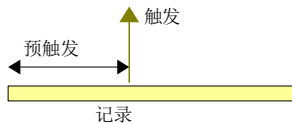
通过使用内部触发功能，ADQ12DC 可被用作大型系统的主时钟单元，从而省去其他的时钟功能板卡。内部触发为其他硬件单元提供一个周期性触发信号。



电平触发

数据驱动的触发。

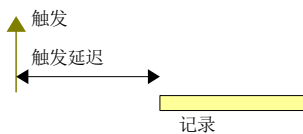
数据通道上的活动会触发采集。所有通道同时触发。更多高级的电平触发功能包含在脉冲检测固件选项-FWPD 里。



预触发

在触发事件之前捕捉数据。

预触发缓冲允许在触发事件发生之前捕捉数据，一般用于分析事件的原因。

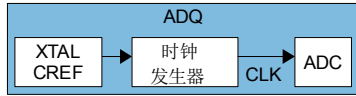


触发延迟

在触发事件发生后捕捉数据。

这个功能可使测量的时间跨度大大延长。通过只捕捉感兴趣的事件，可大大减少数据量。

15 时钟模块



内部时钟

单机操作的高精度时钟。

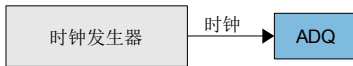
内部时钟基于内部高精度参考源，用于使能单机操作。



外部时钟参考

与外部设备同步采集。

数字化仪可使用外部时钟参考同步。内部时钟发生器从外部源获得参考时钟。在前面板上有对应的接口。



外部时钟

与外部设备同步采集。

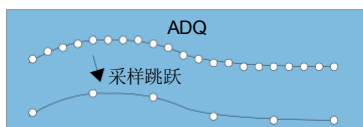
如果外部时钟可用，ADQ12DC 可直接被其驱动。



时钟参考输出

与外部设备同步采集。

数字化仪也可使用时钟参考输出与外部设备同步。这时，ADQ12DC 用作整个系统的参考时钟源。例如，时钟参考输出可用于驱动另一块 ADQ12DC。这个功能和触发发生器配合使用可代替外部的时钟板卡。



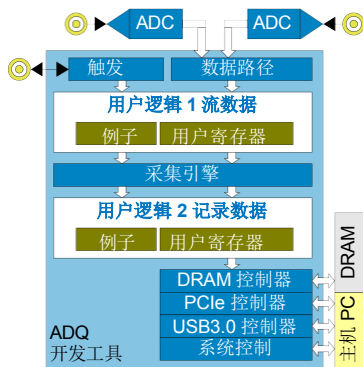
采样跳跃¹

使采样率适合不同的场合，最小化数据量。

采样跳跃功能可使采样率适合当前的应用场合从而减少数据量，从而使 ADQ12DC 轻松适应不同的应用条件。

1. 采样跳跃不能和电平触发或固件选项 -FWPD 一起使用。

16 功能增强选项



通过 ADQ12 开发工具实现定制的实时信号处理固件

ADQ12DC 配置了一片功能强大的 Xilinx Kintex 7 K325T FPGA，可部分用于定制的实时应用。SP Devices 的 ADQ12 开发工具可用于定制实时信号处理的 FPGA 设计工程。更多关于这个产品的细节请参考 ADQ12 开发工具的数据手册。

我们同时提供针对固件选项 -FWDAQ 和 -FWPD 的 ADQ12 开发工具。请注意，不同的 ADQ12 开发工具针对不同的固件选项，需分别购买。

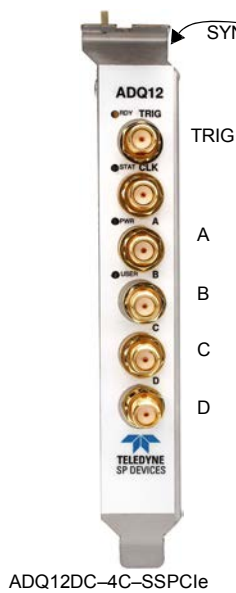
用于连接外部设备的 GPIO

通用数字输入输出 (GPIO) 用于与外部设备的通信。软件通过读写寄存器的命令访问 GPIO。因此，它可被用来创建外部设备和用户应用程序的连接。

通过 ADQ12 开发工具可与数据流实时互动。这时，GPIO 信号在用户逻辑区域，可用于实时数据互动。

ADQ12DC 的标准版本包含 TRIG 和 SYNC 接口上的 GPIO，可通过软件选择。

TRIG 和 SYNC 可被用作 GPIO



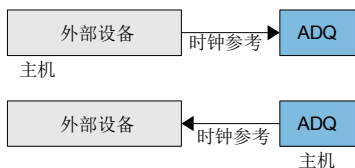
17 数据接口选项

使用 PCIe (-SSPCIE)进行系统集成

PCIe 形状参数用于集成到主机 PC。单槽接口 (-SSPCIE) 可节省 PC 机箱内部的空间。



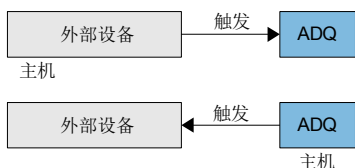
18 同步支持¹



时钟参考输入和输出

分享时钟参考，保证共同时基。

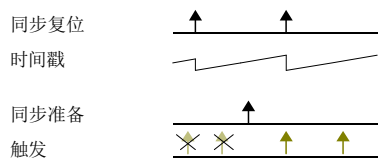
当输出内部时钟参考时，ADQ12DC 被用作主设备。另一方面，当外部设备提供时钟参考时，时钟参考输入被用作实现共同时基。



触发输入和输出

触发同时开始操作。

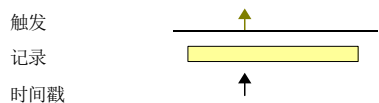
触发标记操作的起始。ADQ12DC 可用作主设备，并产生一个触发以开启外部设备。它也可以接收一个输入的触发以开始采集。



同步输入和输出

外部触发标记一个序列的起始。

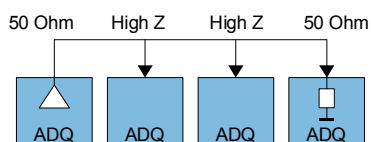
Sync 管脚用于复位时间戳以标记序列的起始。Sync 也可用于给多个 ADQ12DC 设备广播命令。



时间戳

每个触发的实时值。

时间戳是每个触发事件的实时值。它可用于比较同一块板子或不同板子的事件之间的时序。



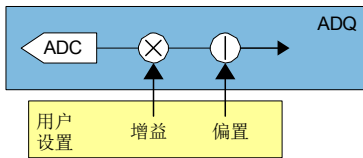
总线连接

通过总线连接减少线缆。

同步、触发和时钟参考可被配置成高阻态以使能总线连接。注意，线缆的长度需要足够短以处理反射。

1. 参考应用笔记 15-1583 获取更多细节。

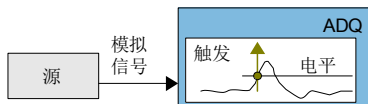
19 内置信号处理



增益和偏置校准

FPGA 内部的数字信号调节。

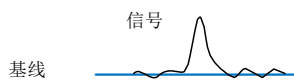
增益和偏置校准可用于在 FPGA 内部优化信号的增益和偏置以降低主机 PC 的负担。注意，用户可针对特定的系统进行自定义的校准优化。另外，ADQ12DC 出厂时已经过校准。



电平触发

数据驱动的采集。

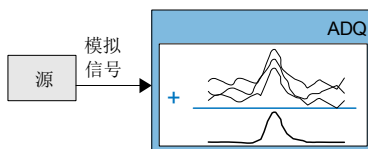
标准固件-FWDAQ 包含用于数据驱动触发和采集的电平触发功能。对于需要高级脉冲检测和数据应用，我们推荐-FWPD 的固件选项。



数字基线稳定器 (DBS)

保证精确的脉冲检测。

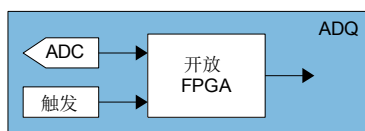
Teledyne SP Devices 的数字基线稳定(DBS)的专利技术可追踪基线的变化，以抑制例如温度漂移引起的波动。它的精度高达 22 位，可有效地抑制例如交织采样方案中的模式噪声。DBS 在固件选项 -FWDAQ, -FWPD 和 -FWATD 中可用。



波形平均

定期重复测量的数据缩减。

固件选项-FWATD 为重复测量提供波形平均的功能。



定制实时处理

高效的算法实现，缩短投向市场的时间。

ADQ12 开发工具使用户可实现自定义的 FPGA 实时算法。使用 Teledyne SP Devices 的设计服务¹，缩短投向市场的时间。

1. 联系 SP Devices 的销售代理，获取更多信息。

20 附录

20.1 线缆

所有线缆都有锁紧的功能以防止意外脱落。

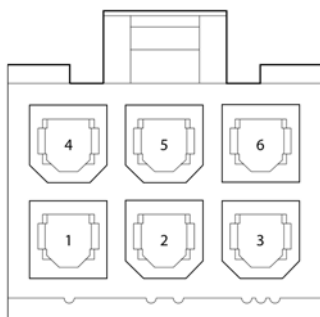
功能	接头	锁紧方式
模拟	SMA	螺母
触发	SMA	螺母
时钟参考	SMA	螺母
同步输入	MCX	PC 机箱内锁扣
同步输出	MCX	PC 机箱内锁扣
电源	PCIe Aux	锁扣
数据 / 控制	背板	使用螺母将板子固定在机箱中

20.2 LED 定义

名称	颜色	功能	状态
PWR	绿	上电	亮: 上电且 FPGA 正在工作
RDY	黄	等待触发	配置成接受触发, 正在等待触发
STAT	红	过热	闪烁表示过热或风扇故障.
USER	蓝	自定义	板子初始化时亮。可使用 ADQ12 开发工具配置成自定义功能。

20.3 主机接口 -SSPCIE

ADQ12DC-SSPCIE 由 PC 通过 PCI Express 6 脚(2x3)的辅助电源接头供电, 如图 8。线缆的连接如图 7。请注意辅助电源必须在 PC 启动的同时打开, 否则数字化仪将无法被 PCI Express 总线识别。



(a) 线缆连接

管脚	信号
1	+12 V
2	+12 V
3	+12 V
4	地
5	检测
6	地

(b) 管脚分布表

图 7:-SSPCIE 的电源



图 8: 安装在 PC 机箱内。注意电源线和同步输入/输出的连接。USB 接口用于固件升级。

订货信息

订货信息	
ADQ12DC DC 耦合	ADQ12DC
可选项	
主机 PC 接口	-SSPCIE
模拟前端选项	-2C, -4C
固件选项	-FWDAQ, -FWATD, -FWPD
相关产品	
用于-FWDAQ 的 ADQ12 开发工具	ADQ12 Development Kit -FWDAQ
用于-FWPD 的 ADQ12 开发工具	ADQ12 Development Kit -FWPD

参考

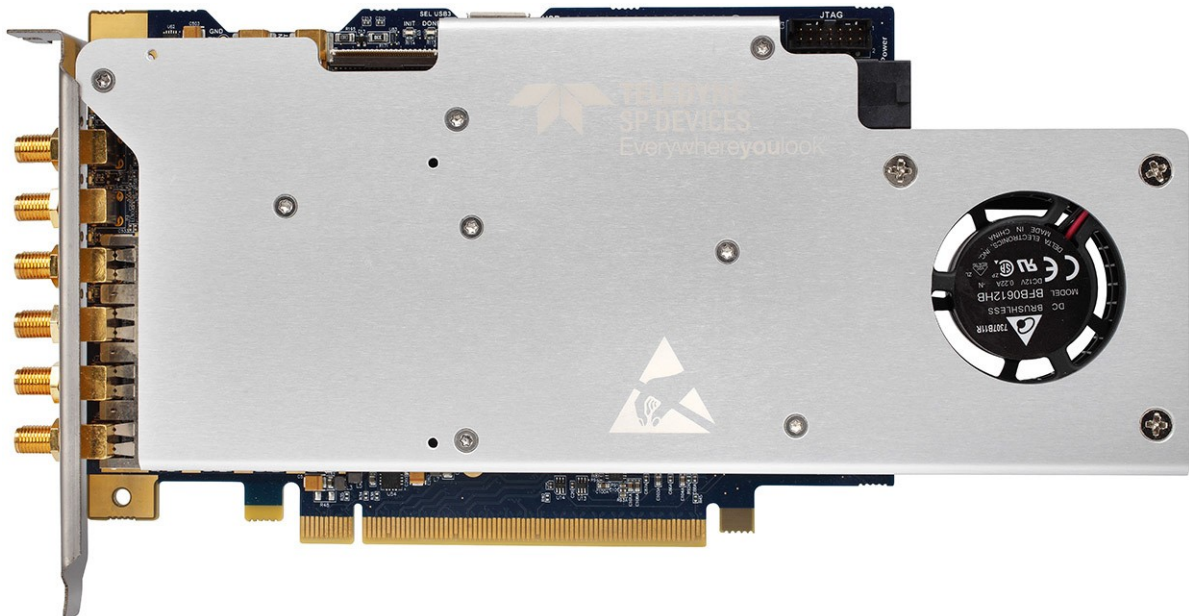
18-2199 ADQ12DC 使用手册

14-1397 ADQ14-FWATD 数据手册

15-1455 ADQ14-FWPD 数据手册

14-1351 ADQAPI 参考指南

15-1583 ADQ14 同步多个单元



重要信息

Teledyne Signal Processing Devices Sweden AB (Teledyne SP Devices) 保留随时对其产品和服务做出修正、修改、加强、优化等变动的权利，并可不经通知停止任何产品和服务。客户应在订货前获取最新的相关信息，并确认这些信息是准确完整的。所有产品根据 Teledyne SP Devices 的通用条款发售，这些条款在接受订单时提供。

Teledyne SP Devices 保证每个产品都没有材料和制造的缺陷，并符合发布的数据手册中描述的指标，质保期为 1 年。质保期由 Teledyne SP Devices 发出产品起生效。Teledyne SP Devices 仅负责质保期内的维修或退换。购买方需承担退回产品的费用，Teledyne SP Devices 则承担发出的费用。在以下情况 Teledyne SP Devices 不承担质保责任 (i) 产品安装不当；(ii) 产品被用于 Teledyne SP Devices 的安装或操作指南或规格书中推荐的条件之外；(iii) 产品被 Teledyne SP Devices 之外的公司/个人维修或改动过。退还产品的质保期与原始产品的质保期同时终止。购买方无权因为任何原因不经 Teledyne SP Devices 的书面允许自行退货。

在任何情况下，Teledyne SP Devices 不对此文档相关的信息或此文档包含的信息所引发的任何损坏负责。

TELEDYNE SP DEVICES 对购买方的质保 TELEDYNE SP DEVICES 关于产品的有限质保和购买方的有限补救措施包含所有其他的质保、可靠性和补救措施。除非另有规定，TELEDYNE SP DEVICES 不承认表述或隐含的完全质保，包括任何保证可销性、适用于某一用途或不涉及侵权。

TELEDYNE SP DEVICES 对于任何声称的可靠性、丢失、损坏和费用不承担赔偿责任且不保证用户不受损害。在任何情况下，TELEDYNE SP DEVICES 不对任何原因造成的特别的、偶然的或重大的损坏（包括商业利益的损失、数据丢失等）承担责任。提起相关诉讼一年后，用户无权对 TELEDYNE SP DEVICES 提起任何诉讼或法律行动。在任何情况下，TELEDYNE SP DEVICES 因任何诉讼、索要、质保或赔偿产生的总金额不应超过购买方支付的总金额。

全球销售和技术支持

www.spdevices.com

Teledyne SP Devices 公司总部

Teknikringen 6
SE-583 30 Linköping
Sweden

电话: +46 (0)13 465 0600

传真: +46 (0)13 991 3044

Email: info@spdevices.com

版权 © 2019 Teledyne Signal Processing Devices Sweden AB. 保留所有权利，包括不经过 Teledyne SP Devices 书面许可复制本出版物的全部或部分内容的权利。